

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



INF-115



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

J. LUETZEN ET AL.

Serial No. 10/721,225

Art Unit: 1765

Filed: November 26, 2003

Examiner: Unknown

For: METHOD AND STRUCTURES FOR INCREASING THE STRUCTURE DENSITY  
AND THE STORAGE CAPACITANCE IN A SEMICONDUCTOR WAFER

**CLAIM TO PRIORITY UNDER 35 U.S.C. § 119**

Sir:

The benefit of the filing date of the following prior application filed in the following foreign country is hereby requested and the right of the priority provided under 35 U.S.C. § 119 is hereby claimed:

German Patent Appln. No. 102 55 866.3 filed November 29, 2002

In support of this claim, filed herewith is a certified copy of said foreign application.

Respectfully submitted,

By:

A handwritten signature in black ink, appearing to read "Michael A. Oblon", written over a horizontal line.

Michael A. Oblon  
Reg. No. 42,956

Date: April 19, 2004  
SHAW PITTMAN LLP  
1650 Tysons Boulevard  
McLean, VA 22102  
Tel: (703) 770-7645





## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 55 866.3

**Anmeldetag:** 29. November 2002

**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Verfahren und Strukturen zur Erhöhung der  
Strukturdichte und der Speicherkapazität in  
einem Halbleiterwafer

**IPC:** H 01 L 27/108

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 21. November 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**

Im Auftrag

A handwritten signature in black ink, likely of the President of the German Patent and Trademark Office.





# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte: 12380

Ko/Bg/mk

Anmelderzeichen: 2002P15305 DE  
(DD2379)

29.11.2002

## **Infineon Technologies AG**

St.-Martin-Straße 53  
81669 München

---

**Verfahren und Strukturen zur Erhöhung der Strukturdichte und der  
Speicherkapazität in einem Halbleiterwafer**

---



---

## Beschreibung

Verfahren und Strukturen zur Erhöhung der Strukturdicke und der Speicherkapazität in einem Halbleiter-Wafer

5

Die Erfindung betrifft ein Verfahren zur Erhöhung einer Strukturgröße von in wesentlichen Teilen in einer Tiefe eines Halbleitersubstrats ausgebildeten Hauptstrukturen durch einen die Hauptstrukturen in der Tiefe des Halbleitersubstrats weitenden Ätzprozess, wobei die Hauptstrukturen an einer Oberfläche des Halbleitersubstrats jeweils im Wechsel mit jeweils im Wesentlichen in einem oberflächennahen Abschnitt des Halbleitersubstrats ausgebildeten Nebenstrukturen in einem Oberflächenraster angeordnet und in Längs- und Querausdehnung parallel zu x,y-Achsen des Oberflächenrasters ausgerichtet sind.

15

20

25

30

DRAM(dynamic random access memories)-Bausteine sind ein Massenprodukt mit vielen Anwendungen. Von neuen Generationen von DRAM-Bausteinen werden einerseits kleinere Abmessungen und andererseits eine höhere Zahl von Speicherzellen zur Speicherung von Daten, also eine steigende Speicherdichte gefordert. Daraus resultiert die Notwendigkeit, die Zellengröße einer einzelnen Speicherzelle, bestehend aus einer Speicherkapazität und einem Auswahltransistor, weiter zu reduzieren. In Abhängigkeit von der Anordnung der Speicherkapazität in oder über einer Metallisierungsebene werden Speicherzellen vom Typ "stacked capacitor" und "trench capacitor" unterschieden. Bei einer Speicherzelle vom Typ "trench capacitor" wird in einem einkristallinen Halbleitersubstrat eines Halbleiter-Wafers unterhalb einer Metallisierungsebene ein Graben ausgebildet. Entlang der Grabenwandung wird ein Dielektrikum, beispielsweise ein Nitrid/Oxid-Schichtsystem vorgesehen. Im einkristallinen Halbleitersubstrat bildet ein etwa durch Ausdiffu-



sion dotierter und an den Graben anschließender Bereich eine erste Elektrode. Im Graben wird durch Abscheidung von hoch dotiertem polykristallinem Silizium eine Gegenelektrode ausgebildet.

5

Eine Verringerung der Zellengröße führt zu Gräben mit kleinerer Elektrodenfläche und damit zu Speicherkapazitäten geringerer elektrischer Kapazität. Zur Kompensation des Verlustes an Kapazität ist es notwendig, durch aufwändige neue Prozesstechnologien die Kapazität auf anderem Wege wieder zu erhöhen. Beispiele dafür sind eine höhere Dotierung der Elektroden zur Reduktion der Ladungsträgerverarmung, das Einsetzen von Dielektrika mit hoher Dielektrizitätskonstante und das Aufbringen von zusätzlichen Strukturen (HSG, hemispherical grains) auf der Grabenwandung zur Vergrößerung der Oberfläche.

15

Eine weitere Möglichkeit zur Erhöhung der Kapazität besteht darin, die Oberfläche des Grabens durch eine flaschenartige Erweiterung in einem unteren Abschnitt des Grabens zu erhöhen. Damit erstreckt sich der Graben in der Tiefe des Halbleitersubstrats auch teilweise in Bereiche des Halbleitersubstrats, die unterhalb der auf der Oberfläche des Halbleitersubstrats ausgebildeten Auswahltransistoren gelegen sind.

20

25

In der Figur 4 sind Aufsicht-Aufnahmen mit einem Scanelektronen Mikroskop, abkürzend im weiteren SEM genannt, von im Wechsel mit unstrukturierten Feldern schachbrettartig angeordneten Gräben von Speicherkapazitäten in verschiedenen Tiefen eines Halbleitersubstrats dargestellt. Die Aufnahmen zeigen dabei jeweils eine Anordnung von auf einem Rechteckmuster in einem Maskenlayout beruhenden und in herkömmlicher Weise in ein Halbleitersubstrat übertragenen und geätzten Strukturen.

30



In der Figur 4a sind mit einer gegen einen Flaschenätzprozess resistenten Schutzschicht versehene, obere Abschnitte 8 von Gräben von Speicherkapazitäten in der Nähe der Oberfläche des Halbleitersubstrats 6 dargestellt.

5

In unterhalb der Schutzschicht ausgebildeten Abschnitten der Gräben ergibt sich jeweils ein in der Fig. 4b gezeigtes Profil mit einer flaschenartigen Erweiterung 5. Zwischen den Seitenwänden 7 benachbarter Gräben werden aus dem Material des Halbleitersubstrats 6 Zwischenwände gebildet. Die Ausdehnung der flaschenartigen Erweiterung 5 ist durch die Forderung nach einer Mindestdicke der Zwischenwände limitiert. Eine zu geringe Dicke der Zwischenwand führt infolge von Fertigungstoleranzen zu einer höheren Anzahl von Kurzschlüssen  
15 zwischen den Speicherkapazitäten benachbarter Speicherzellen.

In der Figur 4c sind die Gräben im Bereich eines die Gräben in der Tiefe des Halbleitersubstrats 6 abschließenden Grabenbodens 9 abgebildet. Sie weisen eine rechteckige Form mit einer kleineren Querschnittsfläche als direkt unterhalb der Schutzschicht auf.

20

Insgesamt ist der Figur 4 zu entnehmen, dass durch die flaschenartige Erweiterung des Grabens die Elektrodenoberfläche der Speicherkapazität zwar vergrößert wird, andererseits aber die Ausdehnung der flaschenartigen Erweiterung begrenzt ist.

25

Der Erfindung liegt daher die Aufgabe zugrunde, ein Verfahren und eine Struktur zur Verfügung zu stellen, mit denen eine  
30 Strukturdichte und/oder eine Speicherkapazität einer einzelnen Struktur in einem Halbleitersubstrat gegenüber herkömmlichen Verfahren und Strukturen weiter erhöht werden können.

30



Die Aufgabe wird bei einem Verfahren der eingangs genannten Art erfindungsgemäß durch die im kennzeichnenden Teil des Patentanspruchs 1 genannten Merkmale gelöst. Die Aufgabe wird ferner mit einer Struktur gemäß Patentanspruch 16 gelöst.

5   Vorteilhafte Weiterbildungen der Erfindung ergeben sich jeweils aus den Unteransprüchen.

10   Erfindungsgemäß werden also vor einem die Hauptstruktur in der Tiefe weitenden Ätzprozess die Längs- und Querausdehnung von Hauptstrukturen in der Tiefe des Halbleitersubstrats gegen die x,y-Achsen des Oberflächenrasters verdreht ausgerichtet. Dadurch werden die unterhalb von Nebenstrukturen gelegenen Abschnitte des Halbleitersubstrats im Wesentlichen vollständig für eine Erweiterung der Hauptstrukturen mittels des  
15   die Hauptstruktur in der Tiefe weitenden Ätzprozesses verfügbar gemacht.

20   In der Folge sind für die Hauptstrukturen in der Tiefe des Halbleitersubstrats wesentlich größere Abmessungen und Oberflächen möglich. Werden die Hauptstrukturen jeweils zu elektrischen Kapazitäten mit entlang der Oberfläche verlaufenden Elektrodenflächen ausgebildet, so lassen sich im Vergleich mit herkömmlichen Verfahren bei gleichem Platzbedarf auf der  
25   Oberfläche des Halbleitersubstrats durch die bessere Ausnutzung eines Volumens des Halbleitersubstrats höhere Kapazitätswerte erzielen. Bei gleichen Kapazitätswerten lässt sich eine die Haupt- und Nebenstrukturen aufweisende Grossstruktur mit dem erfindungsgemäßen Verfahren in höherer Dichte ausführen.

30

Im Folgenden wird der die Hauptstruktur in der Tiefe weitende Ätzprozess zur Vereinfachung als Flaschenätzprozess bezeichnet, ohne dass damit eine Einschränkung auf Flaschenätzprozesse im engeren Sinn getroffen wird.



---

Der Begriff Nebenstrukturen schließt auch unstrukturierte Abschnitte der Oberfläche des Halbleiterwafers ein.

5 Ein Beispiel für eine abwechselnde Anordnung von Haupt- und Nebenstrukturen ist eine schachbrettartige Anordnung (checker board). Das erfindungsgemäße Verfahren setzt aber nicht notwendigerweise die schachbrettartige Anordnung von Haupt- und Nebenstrukturen voraus.

10 In besonders bevorzugter Weise werden die Längs- und Querausdehnung der Hauptstrukturen um im Wesentlichen 45 Grad gegen die x,y-Achsen des Oberflächenrasters verdreht ausgerichtet. In diesem Fall ergibt sich eine maximale Verwertbarkeit der unterhalb der Nebenstrukturen angeordneten Abschnitte des  
15 Halbleitersubstrats. Zwischenwände zwischen benachbarten Hauptstrukturen werden dann in zur Oberfläche des Halbleitersubstrats parallelen Querschnittsebenen in etwa gleicher Dicke ausgebildet.

20 Zur Durchführung des erfindungsgemäßen Verfahrens eignet sich in besonders bevorzugter Weise ein flächenselektiver Ätzprozess. Dazu wird das Halbleitersubstrat aus einem kristallinen Material vorgesehen, das ein Kristallgitter mit unterscheidbaren Kristallflächen aufweist. Aus den unterschiedlichen Eigenschaften der Kristallflächen lassen sich in geeigneten  
25 Ätzprozessen unterschiedliche Ätzresistenzen ableiten. Das Kristallgitter weist dann weniger ätzresistente und ätzresistentere Kristallflächen auf.

30 Bevorzugt wird nun eine mindestens die Hauptstrukturen aufweisende Grossstruktur mittels einer Belichtungsvorrichtung mit den x, y-Achsen des Oberflächenrasters parallel zu den weniger ätzresistenten Kristallflächen auf die Oberfläche des Halbleitersubstrats abgebildet.



Bevorzugt wird weiter der flächenselektive Ätzprozess in einer Weise gesteuert, dass in der Tiefe des Halbleitersubstrats unterhalb einer durch eine Ausdehnung der Nebenstrukturen in die Tiefe des Halbleitersubstrats bestimmten Strukturkante aus den weniger ätzresistenten Kristallflächen auf-  
5 gebaute Primärseitenwände der Hauptstrukturen durch aus den ätzresistentere Kristallflächen aufgebaute Sekundärseitenwände substituiert werden. Die Ausrichtung der ätzresistentere Kristallflächen ist in üblichen Halbleitersubstraten gegen die Ausrichtung der weniger ätzresistenten Kristallflächen gedreht, so dass auf diese Weise die erfindungsgemäß be-  
absichtigte, gegen das Oberflächenraster verdrehte Ausrichtung der Längs- und Querausdehnung der Hauptstruktur in der  
Tiefe des Halbleitersubstrats in besonders vorteilhafter Wei-  
15 se erzielt wird.

Die Abbildung der Grossstrukturen auf das Halbleitersubstrat erfolgt mittels einer Maske, die ein im Wesentlichen rechtwinklig strukturiertes Maskenlayout aufweist.

20 Das Halbleitersubstrat wird bevorzugt als in der Halbleiterprozesstechnologie zu prozessierender Halbleiter-Wafer vorgesehen. Bei der Prozessierung des Halbleiter-Wafers zeigt sich ein weiterer Vorteil des erfindungsgemäßen Verfahrens darin,  
25 dass lediglich eine Kristallorientierung im Halbleiter-Wafer kennzeichnende und die Position des Halbleiter-Wafers zur Maske festlegende Markierung abgeändert werden muss, und zwar so, dass sie gegenüber der herkömmlichen Markierung um 45 Grad gedreht ist und erfindungsgemäß die Orientierung der  
30 weniger ätzresistenten Kristallflächen kennzeichnet. Das Prozessieren der Halbleiter-Wafer, also die Prozessschritte Lithografie, Trockenätzen und Implantation erfolgt dann unverändert zu dem Stand der Technik entsprechenden, nicht rotierten Halbleiter-Wafern.



Erfindungsgemäß sind die Hauptstrukturen an der Oberfläche des Halbleitersubstrats im Wesentlichen oval vorzusehen.

5 Als Material des Halbleitersubstrats wird vorzugsweise einkristallines Silizium gewählt. Für einen flächenselektiven Ätzprozess, in dessen Verlauf  $\langle 100 \rangle$ -Kristallflächen schneller als  $\langle 110 \rangle$ -Kristallflächen geätzt werden, wird das Oberflächenraster in Übereinstimmung zur  $\langle 100 \rangle$ -Kristallorientierung des einkristallinen Siliziums ausgerichtet.

10 Bevorzugt werden im Zuge einer weiteren Prozessierung des Halbleitersubstrats die Hauptstrukturen funktionell als Speicherkapazitäten und die Nebenstrukturen im Wesentlichen als den Speicherkapazitäten zugeordnete Auswahltransistoren ausgebildet.

15 Im Folgenden wird das erfindungsgemäße Verfahren am Beispiel einer Speicherkapazität für eine DRAM-Speicherzelle näher erläutert:

20

Eine die Anordnung mindestens von Hauptstrukturen vorgebende Maske wird mit einem Rechteckmuster zur Strukturierung von jeweils als Speicherkapazität dienenden tiefen Gräben versehen. Die Strukturen auf der Maske werden durch eine Belichtungsvorrichtung auf einen mit einer erfindungsgemäßen, in die  $\langle 100 \rangle$  Kristallorientierung weisenden Markierung versehenen Halbleiter-Wafer abgebildet. Dabei wird die Längsseite der abgebildeten Rechtecke parallel zur  $\langle 100 \rangle$  Kristallorientierung im Halbleiter-Wafer ausgerichtet. Es erfolgt eine anschließende Ätzung der Gräben mit einem in der Ätzgeschwindigkeit kristallorientierungsabhängigen Trockenätzschritt, wobei im Halbleiter-Wafer Kristallflächen mit einer  $\langle 100 \rangle$  Orientierung schneller als Kristallflächen mit einer  $\langle 110 \rangle$  Orientierung geätzt werden. Nach einer bestimmten Ätzzeit



bleiben dann nur noch Kristallflächen mit einer  $\langle 110 \rangle$  Orientierung übrig. Mit einem weiteren Ätzschritt werden die im Trockenätzschritt geätzten tiefen Gräben unterhalb einer Grabentiefe von etwa einem Mikrometer flaschenartig erweitert.

5 Oberhalb von einem Mikrometer sind die Gräben mit einer ätzresistenten Schutzschicht versehen, die ein seitliches Hineinätzen in oberflächennahe Bereiche des Halbleitersubstrats verhindert.

10 Die Hauptstruktur, die im Zuge des oben beschriebenen, erfindungsgemäßen Verfahren in einem Halbleiter-Wafer hergestellt wird, ist vor der zu einer flaschenartigen Erweiterung des Grabens führende Flaschenätzung ein geätzter Graben, der in einem an der Oberfläche des Halbleiter-Wafers angrenzenden  
15 oberen Abschnitt ein in der Draufsicht ovales Profil mit Längsseiten parallel zur  $\langle 100 \rangle$  Kristallorientierung, also  $\langle 100 \rangle$  Seitenwänden, aufweist. In einem unteren Abschnitt unterhalb der Schutzschicht, also etwa unterhalb von einem Mikrometer, weist der Graben ein quadratisches Profil mit  
20  $\langle 110 \rangle$  Seitenwänden auf. Dabei entspricht die Länge der Quadratdiagonalen im Wesentlichen der Längsausdehnung des ovalen Profils im oberen Teil der Struktur. Der obere ovale Teil der Struktur ist also gegenüber dem unteren quadratischen Teil um 45 Grad gedreht, da die beiden Kristallorientierungen  
25  $\langle 100 \rangle$  und  $\langle 110 \rangle$  im Winkel von 45 Grad zueinander stehen.

Bei einem Maskenlayout, wie es zur Produktion von DRAM-Bausteinen verwendet wird, sind die abzubildenden Rechtecke schachbrettartig angeordnet. Die Dicke einer Zwischenwand  
30 zwischen den Seitenwänden der einzelnen Gräben ist gegenüber dem nicht rotiert prozessierten Halbleiter-Wafer deutlich vergrößert.



Im Folgenden wird als schachbrettartige Anordnung ein Muster verstanden, in dem die abzubildenden Rechtecke auf der Maske in Zeilen angeordnet sind und in jeder Zeile denselben konstanten Abstand voneinander haben. Die Zeilen sind jeweils versetzt zueinander in der Art und Weise angeordnet, dass im Wesentlichen mittig zwischen zwei Rechtecken der einen Zeile in der darunter- oder darüber liegenden Zeile sich wieder ein Rechteck befindet. Die Abstände zwischen den Rechtecken sind so gewählt, dass die Rechtecke einander nicht berühren. Durch den quadratischen Querschnitt und die gedrehte Form des unteren Teiles der Gräben wird das Volumen im Halbleiter-Wafer gegenüber dem herkömmlich prozessierten Halbleiter-Wafer deutlich besser ausgenutzt.

Nach einem weiteren, eine flaschenartige Erweiterung im unteren Abschnitt des Grabens herbeiführenden Ätzschritt von etwa 90 Sekunden Dauer weist der Graben in der Tiefe des Halbleitersubstrats ein in der Draufsicht quadratisches Profil auf. Die Dicke der aus dem Halbleitersubstrat bestehenden Zwischenwände zwischen den einzelnen Gräben liegt dabei in der Größenordnung von 100 Nanometern, anstelle von etwa 20 Nanometern bei nicht rotiert prozessierten Halbleiter-Wafern. Damit können wesentlich größere Erweiterungen der Gräben geätzt werden, wodurch die elektrische Kapazität von aus den Gräben ausgebildeten Speicherkapazitäten erhöht wird. Außerdem führt der quadratische Querschnitt des unteren Teiles der Gräben zu einer optimalen Flächenfüllung des Halbleiter-Wafers in der Tiefe des Halbleitersubstrats.

Zur Reduzierung von Leckströmen in einer DRAM-Zelle, bestehend aus einem Auswahltransistor und einer Speicherkapazität, wird der Halbleiter-Wafer, aus dem die DRAM-Zelle hergestellt wird, nach dem erfindungsgemäßen Verfahren prozessiert.



Ein ähnliches Verfahren zur Reduzierung von Leckströmen wird auch in der WO 00/02249 beschrieben.

Die notwendige Größe einer Speicherkapazität hängt unter anderem von den auftretenden Leckströmen ab. Ein typischer Wert für die aus einem tiefen Graben bestehende Speicherkapazität einer DRAM-Zelle ist die 40 fF/Zelle, bei der der Gesamtzell-leckstrom in der Größenordnung von 10 bis 15 fA/Zelle liegt. Dieser enthält verschiedene Komponenten, wie zum Beispiel Leckströme durch das Dielektrikum, Leckströme entlang einer Grenzfläche zwischen dem Halbleitersubstrat und einer die Speicherkapazität im oberflächennahen Bereich isolierenden Struktur (STI, shallow trench isolation) oder Leckströme im Bereich der Grenzflächen von Source und Drain des Auswahltransistors.

Gemäß dem erfindungsgemäßen Verfahren zur Reduzierung von Leckströmen in einer einen Auswahltransistor und eine Speicherkapazität aufweisenden DRAM-Zelle wird nun der Leckstrom entlang der Grenzfläche zwischen dem Halbleitersubstrat und der STI-Struktur deutlich verringert. Die Verringerung des Leckstroms lässt sich auf eine geringere Dichte von Fehlerstellen (trap) entlang der erfindungsgemäß ausgerichteten Grenzflächen zurückführen, da die Größe des Leckstroms mit der Anzahl der Fehlerstellen korreliert und die Anzahl der Fehlerstellen bei geänderter Kristallorientierung reduziert ist.

Eine Reduktion des Gesamtzellleakstromes senkt direkt die notwendige Kapazität. Als Vorteil einer niedrigeren Kapazität ergibt sich, daß die Grabentiefe des als Kapazität dienenden Grabens reduziert werden kann. Damit würde die Ätzzeit in der gleichen Größenordnung wie die Grabentiefe zu reduzieren



sein, wodurch der Durchsatz dieses Prozessschrittes deutlich erhöht wird.

5 Eine Statistik basierend auf Untersuchungen an mehreren DRAM-Bausteinen ergibt, dass die Gesamtzellleckströme einer DRAM-Zelle bei dem erfindungsgemäß um 45 Grad gedreht prozessierten Halbleiter-Wafer um mehr als 30% gegenüber dem nicht gedreht prozessierten Halbleiter-Wafer reduziert sind.

10 Die Reduktion des Zelleckstromes führt zu einer äquivalenten Erhöhung des Zeitintervalls, nach dem die Ladung in einer der DRAM-Zellen aufgrund von Leckströmen so weit reduziert ist, dass die in einer Speicherzelle gespeicherte Ladung aufgefrischt werden muss. Dieses Zeitintervall wird als "retention time" bezeichnet .  
15

Eine eine Speicherkapazität mit einer erfindungsgemäßen Struktur enthaltende DRAM-Zelle in einem Halbleiter-Wafer, der gemäß dem erfindungsgemäßen Verfahren prozessiert wurde,  
20 weist eine erhöhte Speicherkapazität, reduzierte Leckströme und damit eine vergrößerte "retention time" auf.

30 Nachfolgend wird die Erfindung anhand von Figuren erläutert, wobei für einander entsprechende Komponenten gleiche Bezugszeichen verwendet werden. Es zeigen:

Fig.1 Eine schematische Darstellung einer Anordnung bestehend aus Maske und Halbleiter-Wafer zur Durchführung des erfindungsgemäßen Verfahrens,

Fig. 2 eine schematische Darstellung einer Anordnung bestehend aus Maske und Halbleiter-Wafer zur Durchführung eines herkömmlichen Verfahrens,



Fig. 3 ein schematischer Längsschnitt durch einen in ein Halbleiter-Substrat geätzten Graben,

5 Fig. 4 SEM-Aufsicht-Aufnahmen von Gräben in einem Halbleiter-Wafer in unterschiedlicher Tiefe,

Fig. 5 SEM-Aufsicht-Aufnahmen von erfindungsgemäßen Strukturen in einem Halbleiter-Wafer in unterschiedlicher Tiefe,

Fig. 6 SEM-Aufsicht-Aufnahmen von erfindungsgemäßen Strukturen in einem Halbleiter-Wafer vor und nach einer Flaschenätzung in unterschiedlicher Tiefe,

15 Fig. 7 schematische Aufsichten auf Oberflächen eines herkömmlich und eines erfindungsgemäß prozessierten Halbleitersubstrats und

20 Fig. 8 eine Darstellung der funktionalen Abhängigkeit der Anzahl entladener Speicherzellen AS von der Zeit  $t_{Ret}$  bei erfindungsgemäß prozessierten und bei herkömmlich prozessierten Halbleiter-Wafern.

25 Für das erfindungsgemäße Verfahren werden eine Maske 3 und ein Halbleiter-Wafer 1 aus einkristallinem Silizium wie in Figur 1 gezeigt angeordnet. Der Halbleiter-Wafer 1 ist mit einer erfindungsgemäßen, gegenüber herkömmlich markierten Halbleiter-Wafern um 45 Grad gedrehten Markierung 2 versehen, die die  $\langle 100 \rangle$  Kristallorientierung des Siliziums kennzeichnet.  
30 Mit der Markierung wird die Maske an der Kristallorientierung im Halbleiter-Wafer ausgerichtet. Die Abbildung der Maskenstruktur erfolgt also gegenüber herkömmlichen Verfahren längs einer anderen Kristallorientierung.



Zum Vergleich ist in der Figur 2 eine dem Stand der Technik entsprechende Anordnung dargestellt. Der Halbleiter-Wafer 1 ist hier mit einer in die  $\langle 110 \rangle$  Kristallorientierung weisenden Markierung 2 versehen.

5

Die Figur 3 zeigt eine in ein Halbleiter-Substrat 6 geätzte und als Graben 4 ausgebildete Struktur. Der Graben weist infolge eines weiteren Ätzschrittes unterhalb einer Grabentiefe von etwa einem Mikrometer eine flaschenartige Erweiterung 5 zur Vergrößerung einer Elektrodenfläche einer aus dem Graben zu prozessierenden Speicherkapazität auf. Der obere Abschnitt des Grabens 8 ist mit einer Schutzschicht versehen, die ein seitliches Hineinätzen in das Halbleitersubstrat 6 in oberflächennahen Bereichen verhindert.

15

Wie bereits eingangs erläutert, sind in der Figur 4 Gräben der beschriebenen Art in der Draufsicht zu sehen. Die Gräben wurden mit einem schachbrettartigen Maskenlayout auf einen nicht rotierten Halbleiter-Wafer abgebildet und anschließend

20

In der Figur 4a sind die mit einer Schutzschicht versehenen, oberen Teile der Gräben 8 dargestellt, deren Seitenwände ein Oval bilden und deren lange Seite parallel zur  $\langle 110 \rangle$  Kristallorientierung, angeordnet ist. Im Folgenden wird eine solche Seite kurz  $\langle 110 \rangle$  Seitenwand 7 genannt.

25

Tiefer im Halbleitersubstrat, ungefähr dort, wo die Schutzschicht endet, ergibt sich der in der Figur 4b dargestellte Querschnitt, der eine flaschenartige Erweiterung 5 zeigt. Unterhalb der Schutzschicht bilden die Seitenwände ein Rechteck mit  $\langle 110 \rangle$  Seitenwänden 7. Aus dem Halbleitersubstrat 6 gebildete Zwischenwände zwischen den Seitenwänden der einzelnen Gräben 8 weisen an ihren dünnsten Stellen eine sehr ge-

30



ringe Dicke von ungefähr 20 Nanometer auf, was bei zu Speicherkapazitäten prozessierten Gräben infolge von Fertigungstoleranzen zu Kurzschlüssen führen kann.

- 5 In der Figur 4c sind die Gräben im Bereich eines die Gräben in der Tiefe des Halbleitersubstrats abschließenden Grabenbodens 9 abgebildet. Sie weisen dort eine rechteckige Form mit einer geringeren Querschnittsfläche als direkt unterhalb der Schutzschicht auf. Bei den Seitenwänden handelt es sich wieder um  $\langle 110 \rangle$  Seitenwände 7.

- Die in der Figur 5 gezeigten Gräben wurden mit dem erfindungsgemäßen Verfahren erzeugt. Sie gehen aus demselben schachbrettartigen Maskenlayout der Figur 4 hervor. Dazu wird  
15 das Maskenlayout auf einen erfindungsgemäß ausgerichteten Halbleiter-Wafer abgebildet. Anschließend werden die Gräben in das Halbleitersubstrat 6 hineingeätzt und jeweils in oberen Abschnitten mit einer Schutzschicht versehen. Die Figuren 5a bis 5d stellen Querschnitte der Gräben in unterschiedli-  
20 cher Tiefe parallel zur Oberfläche 10 des Halbleitersubstrats 6 dar.

- Dabei zeigt die Figur 5a eine Aufsicht auf die Gräben an der Oberfläche 10 des Halbleitersubstrats 6. Einen Querschnitt  
25 durch die Gräben im Bereich der Schutzschicht unterhalb der Oberfläche 10 zeigt Figur 5b. Die Seitenwände der oberen Abschnitte der Gräben bilden jeweils ein Oval, dessen lange Seiten erfindungsgemäß parallel zur  $\langle 100 \rangle$  Kristallorientierung ausgerichtet sind. Im Folgenden wird eine solche Seite  
30 kurz  $\langle 100 \rangle$  Seitenwand 11 genannt. In den Figuren 5c und 5d sind die Querschnitte der Gräben unterhalb der Schutzschicht 12 in zwei verschiedenen Tiefen abgebildet. Die Seitenwände der Gräben bilden im Querschnitt ein Quadrat mit  $\langle 110 \rangle$  Seitenwänden 7. Die Seitenwände des oberen Abschnitts eines Gra-



bens sind also gegenüber den Seitenwänden des unteren Abschnitts desselben Grabens um 45 Grad gedreht. Der resultierende, gedrehte quadratische Querschnitt der Gräben im Bereich unterhalb der Schutzschicht führt, wie im Vergleich der Figur 4c mit der Figur 5d zu sehen ist, zu einer verbesserten Flächennutzung des Halbleitersubstrats 6.

Deutlich wird die verbesserte Flächennutzung anhand der Figur 6. Die Querschnitte der erfindungsgemäß erzeugten Gräben in den Figuren 6a bis 6c wurden vor dem zur flaschenartigen Erweiterung führenden Ätzschritt (bottle etch) in unterschiedlicher Tiefe aufgenommen und entsprechen den Querschnitten der Gräben in den Figuren 5b bis 5c.

Die Querschnitte der Gräben nach dem zur flaschenartigen Erweiterung führenden Ätzschritt sind in den Figuren 6d bis 6f in einem größeren Maßstab zu sehen. Der in der Draufsicht ovale Querschnitt im oberen Abschnitt der Gräben mit  $\langle 100 \rangle$  Seitenwänden 11 ist in der Figur 6d gezeigt. Die Figuren 6e und 6f zeigen die quadratischen Querschnitte mit  $\langle 110 \rangle$  Seitenwänden 7 der flaschenartigen Erweiterungen in zwei verschiedenen Tiefen, einmal oberhalb und unterhalb der Grabenmitte. Hier ist die perfekte Flächennutzung in der Tiefe des Halbleitersubstrats deutlich zu erkennen.

Die bessere Nutzung eines Halbleitersubstrats 6 durch das erfindungsgemäße Verfahren wird auch anhand der Figur 7 verdeutlicht.

Auf einer Oberfläche des Halbleitersubstrats 6 ist ein Muster von Haupt- und Nebenstrukturen 131, 132 ausgebildet, das entlang eines Oberflächenrasters 14 ausgerichtet ist. Die Haupt- und Nebenstrukturen 131, 132 sind im Oberflächenraster 14 wechselweise schachbrettartig angeordnet.



Dabei bildet das Oberflächenraster 14 in diesem Beispiel zur Verdeutlichung gleichgroße, quadratische Felder 151, 152 aus. Das erfindungsgemäße Verfahren führt jedoch auch bei anderen Aufteilungen mit ungleichgroßen oder gedehnten Feldern zu einer vorteilhaften Nutzung des Halbleitersubstrats 6.

Die Nebenstrukturen 132 sind im Wesentlichen in einem oberflächennahen Abschnitt des Halbleitersubstrats 6 zwischen der Oberfläche des Halbleitersubstrats 6 und einer Strukturkante in der Tiefe des Halbleitersubstrats 6 angeordnet. Dagegen sind wesentliche Teile der Hauptstrukturen 131 unterhalb der Strukturkante ausgebildet.

Herkömmlicherweise werden die Hauptstrukturen 131 unterhalb der Strukturkante durch einen Flaschenätzprozess aufgeweitet. Nach der Aufweitung erstrecken sich die Hauptstrukturen 131 auch, wie in Fig. 7a dargestellt, in unterhalb der Nebenstrukturen 132 liegende Abschnitte des Halbleitersubstrats 6.

Der Flaschenätzprozess erweitert dabei die Hauptstrukturen 131 richtungsunabhängig, so dass die maximal mögliche Erweiterung einer Hauptstruktur 131 auch in der Tiefe des Halbleitersubstrats 6 auf ein der Hauptstruktur 131 zugeordnetes Feld 151 beschränkt ist. Abschnitte des Halbleitersubstrats, die sich unterhalb der Strukturkante unter den Nebenstrukturen zugeordneten Feldern 152 erstrecken, bleiben ungenutzt.

Das erfindungsgemäße Verfahren macht dagegen auch die unterhalb der den Nebenstrukturen 132 zugeordneten Feldern 152 angeordneten Abschnitte des Halbleitersubstrats 6 unterhalb der Substratkante zu Erweiterung der Hauptstrukturen 131 verfügbar.



Dazu wird, wie in der Fig. 7b dargestellt, das Oberflächen-  
raster 14 parallel zu weniger ätzresistenten Kristallflächen  
des Halbleitersubstrats 6 ausgerichtet. Im Zuge eines flä-  
chenselektiven Ätzprozesses werden die Hauptstrukturen 131 in  
5 der Tiefe des Halbleitersubstrats 6 unterhalb der Struktur-  
kante mit gegen das Oberflächenraster 14 im Idealfall um 45  
Grad gedrehten Seitenwänden ausgebildet. Werden im Anschluss  
die gedrehten Hauptstrukturen 131 mit einer Flaschenätzung  
unterhalb der Strukturkante aufgeweitet, so ergibt sich für  
10 jede Hauptstruktur 131 als maximale Erweiterung ein erweiter-  
tes Feld 161.

Das Halbleitersubstrat 6 unterhalb der Strukturkante lässt  
sich vollständig den erweiterten Feldern 161 zuordnen und ist  
15 so in vorteilhafter Weise nahezu vollständig zur Erweiterung  
der Hauptstrukturen 131 nutzbar.

In der Figur 8 ist die funktionale Abhängigkeit der Anzahl  
entladener Speicherzellen AS von der als "retention time" be-  
20 zeichneten Zeit  $t_{\text{Ret}}$  für aus erfindungsgemäß rotiert prozes-  
sierten und aus nicht rotiert prozessierten Halbleiter-Wafern  
hergestellte DRAM-Bausteine dargestellt. Untersucht wurden  
für jede Kurve jeweils zwei DRAM-Bausteine. Die Kurven A und  
B zeigen das Verhalten von DRAM-Bausteinen aus nicht rotiert  
25 prozessierten Halbleiter-Wafern, wobei es sich bei der Kurve  
B um Speicherzellen mit 10% gegenüber den Speicherzellen von  
Kurve A verminderter Speicherkapazität handelt. Die Kurven C  
und D zeigen das Verhalten bei erfindungsgemäß rotiert pro-  
zessierten Halbleiter-Wafern, wobei es sich bei der Kurve D  
30 wieder um Speicherzellen mit 10% gegenüber den Speicherzellen  
von Kurve C verminderter Speicherkapazität handelt. Der ge-  
genüber den Kurven A und B deutlich flachere Verlauf der Kur-  
ven C und D beschreibt eine verlängerte "retention time" bei  
rotiert prozessierten Halbleiter-Wafern. Anhand der Kurven B



---

und D wird auch der Einfluß der Höhe der Speicherkapazität auf die "retention time" deutlich. Mit verringerter Speicherkapazität nimmt auch die "retention time" ab. In einem Zeitintervall von  $128 \text{ ms} < t_{\text{Ret}} < 8 \text{ sec}$  gilt: AS bei rotiert prozessierten Halbleiter-Wafern ist ungefähr  $0.5 \cdot$  AS bei nicht rotiert prozessierten Halbleiter-Wafern.

5



---

Patentansprüche

1. Verfahren zur Erhöhung einer Strukturgröße von in wesentlichen Teilen in einer Tiefe eines Halbleitersubstrats (6)  
5 ausgebildeten Hauptstrukturen (131) durch einen die Hauptstrukturen (131) in der Tiefe des Halbleitersubstrats (6) weitenden Ätzprozess, wobei die Hauptstrukturen (131) an einer Oberfläche des Halbleitersubstrats (6) jeweils im Wechsel mit jeweils im Wesentlichen in einem oberflächennahen Abschnitt des Halbleitersubstrats (6) ausgebildeten Nebenstrukturen (132) in einem Oberflächenraster (14) angeordnet und in Längs- und Querausdehnung parallel zu x,y-Achsen des Oberflächenrasters (14) ausgerichtet sind,  
10 d a d u r c h g e k e n n z e i c h n e t , d a s s  
- vor dem weitenden Ätzprozess die Längs- und Querausdehnung der Hauptstrukturen (131) in der Tiefe des Halbleitersubstrats (6) gegen die x,y-Achsen des Oberflächenrasters (14) verdreht ausgerichtet werden und dadurch  
15 - die unterhalb der Nebenstrukturen (132) gelegenen Abschnitte des Halbleitersubstrats (6) im Wesentlichen vollständig für die Ausbildung mittels des weitenden Ätzprozesses erweiterter Hauptstrukturen (131) verfügbar gemacht werden.  
20
2. Verfahren nach Anspruch 1,  
25 d a d u r c h g e k e n n z e i c h n e t ,  
dass die Längs- und Querausdehnung der Hauptstrukturen (131) um 45 Grad gegen die x,y-Achsen des Oberflächenrasters (14) verdreht ausgerichtet werden.
- 30 3. Verfahren nach einem der Ansprüche 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass das Halbleitersubstrat (6) aus einem kristallinen Material mit einem Kristallgitter mit Kristallflächen unterschiedlicher Ätzresistenz vorgesehen wird und das gegen die



---

x,y-Achsen des Oberflächenrasters (14) verdrehte Ausrichten der Längs- und Querausdehnung der Hauptstrukturen (131) mit Hilfe eines flächenselektiven Ätzprozesses erfolgt.

5     4. Verfahren nach einem der Ansprüche 1 bis 3,  
d a d u r c h     g e k e n n z e i c h n e t ,  
dass mindestens eine die Hauptstrukturen (131) vermittelnde  
Grossstruktur mittels einer Belichtungsvorrichtung mit den  
x,y-Achsen des Oberflächenrasters (14) parallel zu weniger  
10     ätzresistenten Kristallflächen des Halbleitersubstrats (6)  
auf die Oberfläche des Halbleitersubstrats (6) abgebildet  
wird.

15     5. Verfahren nach Anspruch 4,  
d a d u r c h     g e k e n n z e i c h n e t ,  
dass vor der Abbildung eine ein rechtwinklig strukturiertes  
Maskenlayout der Grossstruktur aufweisende Maske (3) in Über-  
einstimmung mit den weniger ätzresistenten Kristallflächen  
des Halbleitersubstrats (6) ausgerichtet wird.

20     6. Verfahren nach einem der Ansprüche 3 bis 5,  
d a d u r c h     g e k e n n z e i c h n e t ,  
dass als Halbleitersubstrat (6) ein Halbleiter-Wafer (1) und  
am und/oder auf dem Halbleiter-Wafer (1) eine eine Kristall-  
25     orientierung des Kristallgitters kennzeichnende Markierung  
(2) vorgesehen wird.

30     7. Verfahren nach Anspruch 6,  
d a d u r c h     g e k e n n z e i c h n e t ,  
dass durch die Markierung (2) eine die Ausrichtung der weni-  
ger ätzresistenten Kristallflächen kennzeichnende Kristall-  
orientierung gekennzeichnet wird.



8. Verfahren nach Anspruch 7,  
dadurch gekennzeichnet,  
dass die Markierung in herkömmlicher Weise zur Ausrichtung  
der Maske (3) in der Belichtungsvorrichtung herangezogen  
5 wird.

9. Verfahren nach einem der Ansprüche 1 bis 8,  
dadurch gekennzeichnet,  
dass die Hauptstrukturen (131) an der Oberfläche des Halblei-  
tersubstrats (6) mit einem ovalen Querschnitt vorgesehen wer-  
den.

10. Verfahren nach einem der Ansprüche 1 bis 9,  
dadurch gekennzeichnet,  
15 als Material des Halbleitersubstrats (6) einkristallines Si-  
lizium vorgesehen wird.

11. Verfahren nach Anspruch 10,  
dadurch gekennzeichnet,  
20 dass das Oberflächenraster (14) in Übereinstimmung zu einer  
<100> Kristallorientierung des einkristallinen Siliziums aus-  
gerichtet wird.

12. Verfahren nach Anspruch 11,  
25 dadurch gekennzeichnet,  
dass während des flächenselektiven Ätzprozesses die eine ge-  
ringere Ätzresistenz aufweisenden <100>-Kristallflächen  
schneller als die ätzresistenteren <110>-Kristallflächen ge-  
ätzt werden.

30  
13. Verfahren nach einem der Ansprüche 1 bis 12,  
dadurch gekennzeichnet,  
dass die Hauptstrukturen (131) in oberen Abschnitten zwischen  
der Oberfläche des Halbleitersubstrats (6) und im Wesentli-



---

chen mindestens einer Unterkante der Nebenstrukturen mit einer mindestens gegen den weitenden Ätzprozess resistenten Schutzschicht versehen werden.

5 14. Verfahren nach einem der Ansprüche 1 bis 13,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Hauptstrukturen (131) funktionell als Speicherkapazitäten ausgebildet werden.

10 15. Verfahren nach einem der Ansprüche 1 bis 14,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Nebenstrukturen (132) funktionell als den Speicherkapazitäten zugeordneten Auswahltransistoren ausgebildet werden.

15

16. Struktur in einem Halbleitersubstrat (61) hergestellt gemäß einem der Verfahren nach einem der Ansprüche 12 bis 15,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Struktur einen Graben (4) mit einem in einem an die  
20 Oberfläche des Halbleitersubstrats (6) angrenzenden oberen Abschnitt in der Draufsicht ovalen Profil mit Längsseiten parallel zur <100>-Kristallorientierung und mit einem in einem unteren Abschnitt unterhalb einer ätzresistenten Schutzschicht im Wesentlichen rechteckigen Profil mit Längsseiten  
25 parallel zur <110>-Kristallorientierung aufweist.

17. Struktur nach Anspruch 16,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass sich die Schutzschicht bis maximal 1 Mikrometer unter  
30 die Oberfläche des Halbleitersubstrats (61) erstreckt.

18. Struktur nach einem der Ansprüche 16 oder 17,  
d a d u r c h g e k e n n z e i c h n e t ,



---

dass der Graben im unteren Teil eine flaschenartige Erweiterung (5) mit in der Draufsicht quadratischem Profil und Seiten parallel zur  $\langle 110 \rangle$  Kristallorientierung aufweist.

5 19. Anordnung von Strukturen nach einem der Ansprüche 16 bis 18,

d a d u r c h g e k e n n z e i c h n e t ,  
dass die Dicke von zwischen benachbarten Strukturen (131) im Halbleitersubstrat (6) verbleibenden Zwischenwänden in der  
10 Größenordnung von 100 nm liegt.

20. Anordnung nach Anspruch 19,

d a d u r c h g e k e n n z e i c h n e t ,  
dass die Strukturen als Speicherkapazitäten ausgebildet sind.

15

21. Verfahren zur Reduzierung von Leckströmen in einer einen Auswahltransistor und eine Speicherkapazität aufweisenden DRAM-Zelle,

d a d u r c h g e k e n n z e i c h n e t ,

20 dass ein die DRAM-Zelle aufweisender Halbleiter-Wafer (1) gemäß einem der Verfahren nach einem der Ansprüche 6 bis 15 prozessiert wird.

22. DRAM-Zelle, hergestellt nach dem Verfahren gemäß Anspruch

25

21,

d a d u r c h g e k e n n z e i c h n e t ,

dass die Speicherkapazität eine Struktur nach einem der Ansprüche 16 bis 18 aufweist.



---

### Zusammenfassung

Verfahren zur Erhöhung der Strukturichte und/oder der Spei-  
cherkapazität von in einen Halbleiter-Wafer (1) einzubringen-  
5 den Strukturen, wobei der Halbleiter-Wafer eine Bruchrichtung  
vorgebende Markierung (2) aufweist und die Strukturen mittels  
einer Belichtungsvorrichtung und einer Maske(3), deren Mas-  
kenlayout die Strukturen vorgibt, auf den Halbleiter-Wafer  
(1) abgebildet werden. Der Halbleiter-Wafer (1) wird bezüg-  
10 lich des Maskenlayouts vor der Abbildung der Strukturen in  
seiner Ebene um 45 Grad gedreht und mit einer eine neue  
Bruchrichtung parallel zu einer <100> Kristallorientierung  
vorgebenden Markierung (2) versehen. Die weiteren Prozess-  
schritte erfolgen unverändert zu nicht gedrehten Halbleiter-  
15 Wafern.



---

Bezugszeichenliste

	1	Halbleiter-Wafer
	2	Markierung
5	3	Maske
	4	Graben
	5	Erweiterung
	6	Halbleitersubstrat
	7	<110> Seitenwand
10	8	Oberer Teil des Grabens
	9	Graben im Bereich des Grabenbodens
	10	Graben an der Oberfläche
	11	<100> Seitenwand
	12	Graben unterhalb der Schutzschicht
15	131	Hauptstruktur
	132	Nebenstruktur
	14	Oberflächenraster
	151	Feld für Hauptstruktur
	152	Feld für Nebenstruktur
20	161	Feld für Hauptstruktur unterhalb Strukturkante



FIG 1

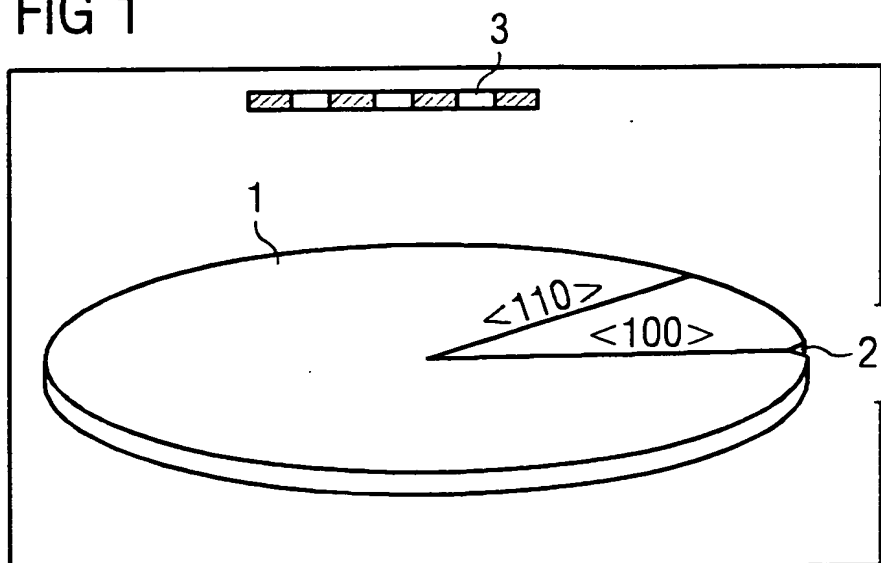


FIG 2

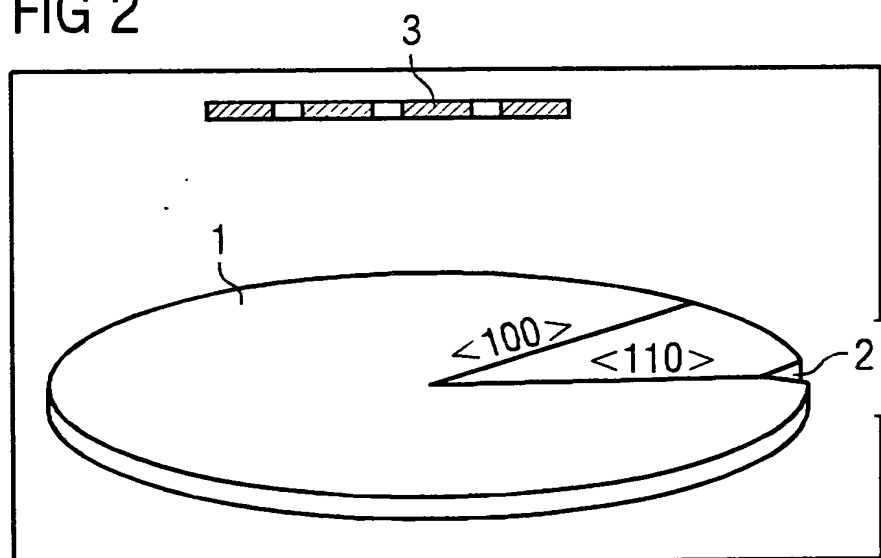


FIG 3

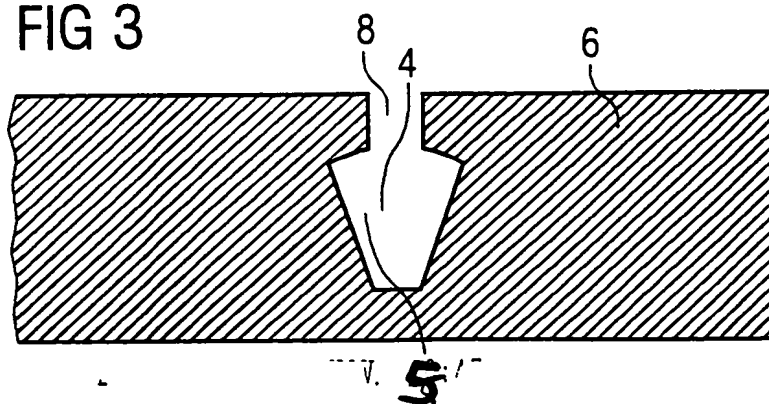
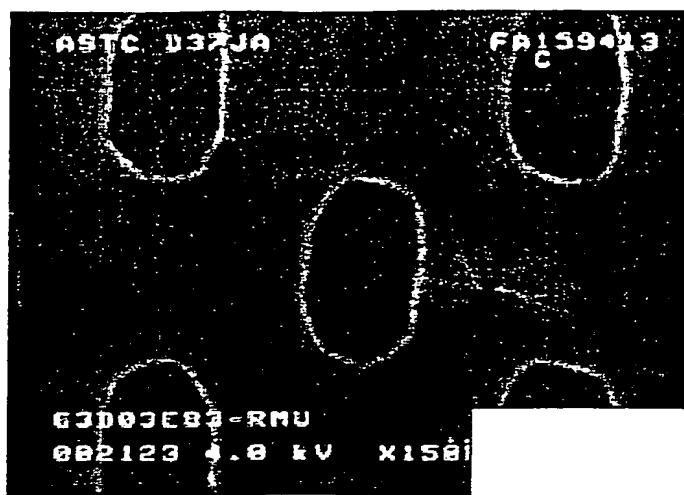




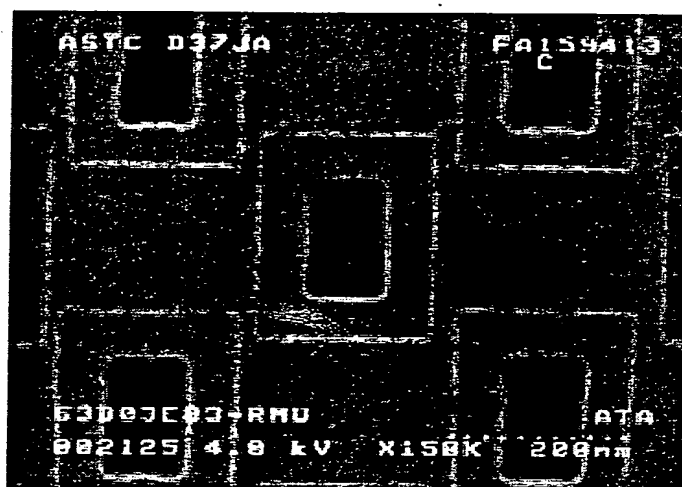
Fig 4a

2/8



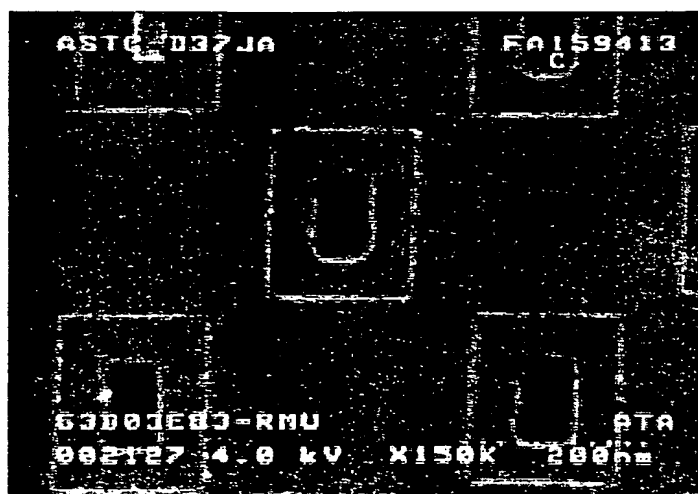
6  
8  
7

Fig 4b



5  
6  
7

Fig 4c



7  
9  
6



Fig. 5a

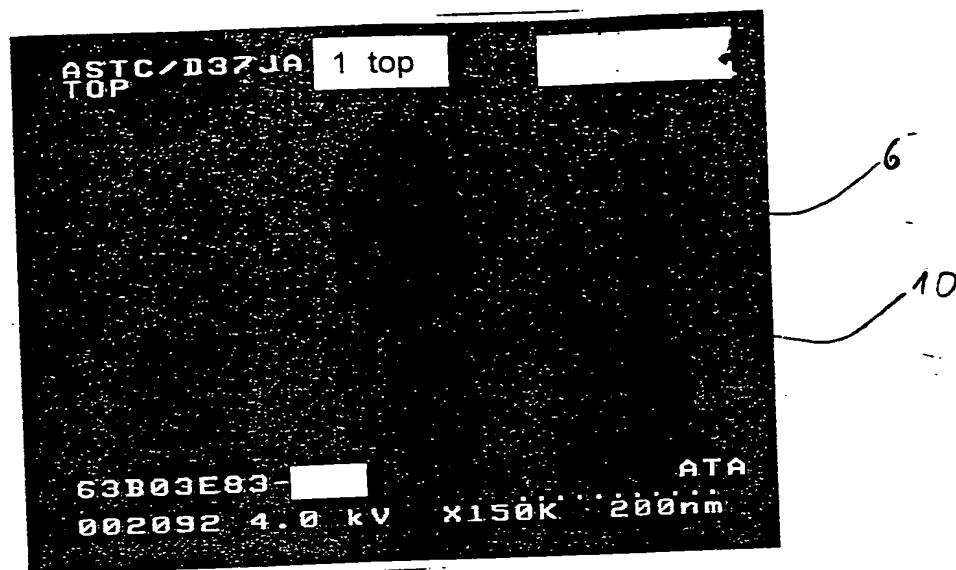


Fig. 5b

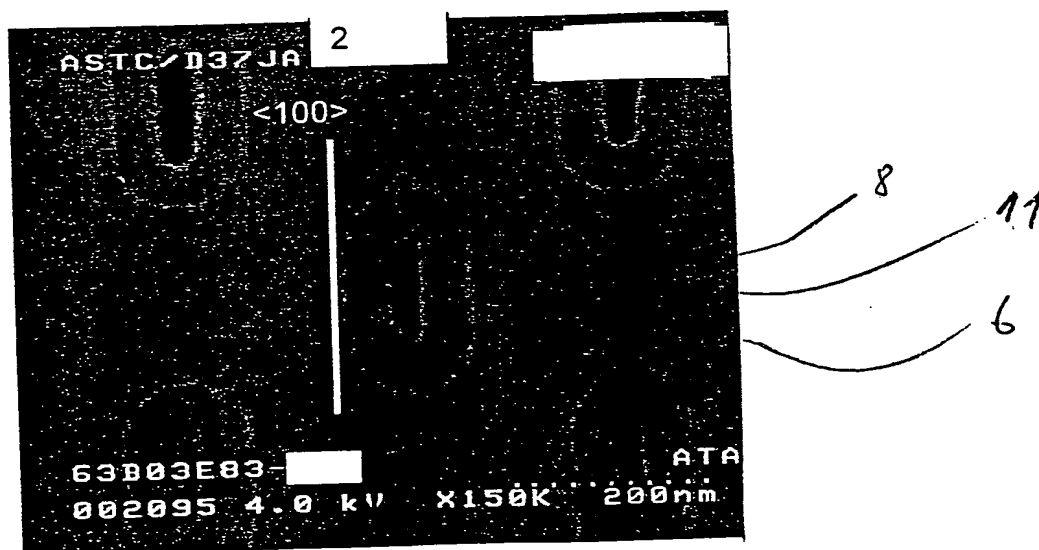




Fig. 5c

4/8

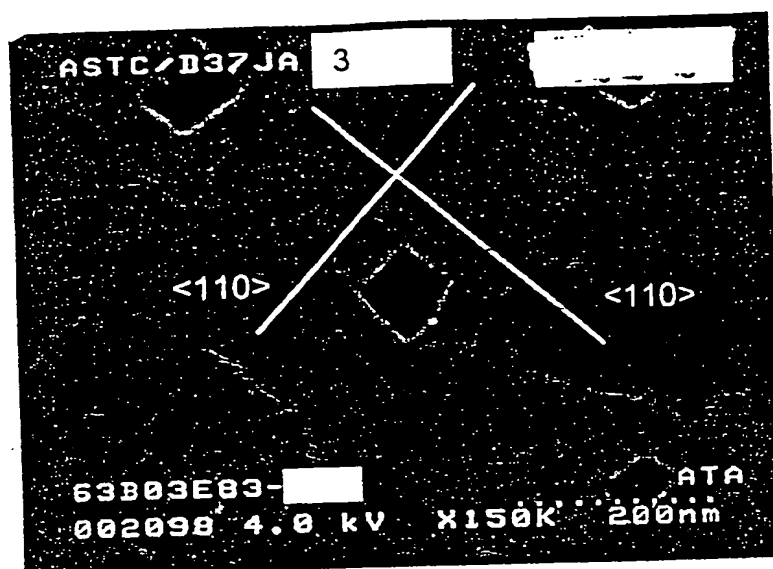


Fig 5d

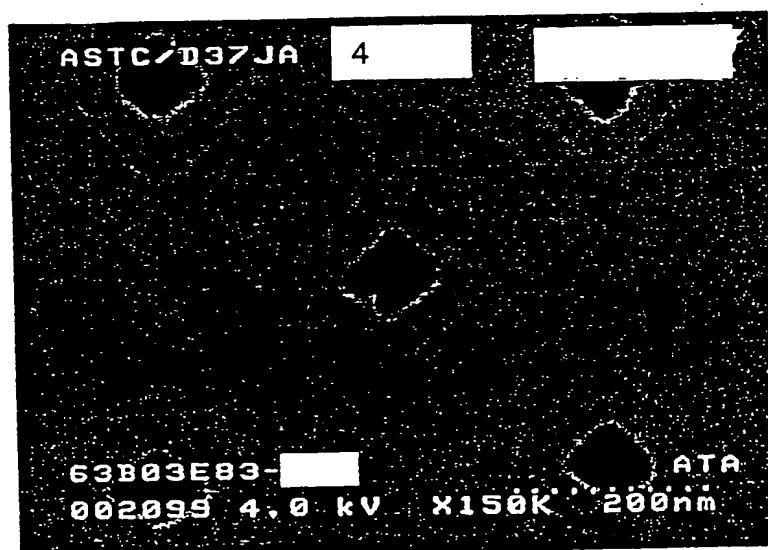




Fig. 6a

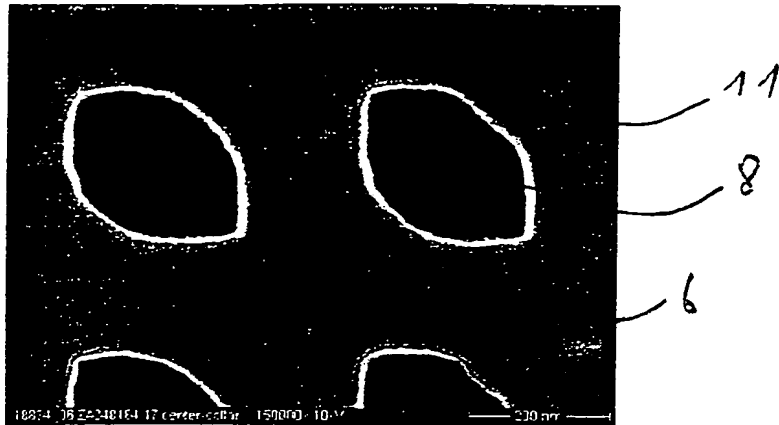


Fig. 6b

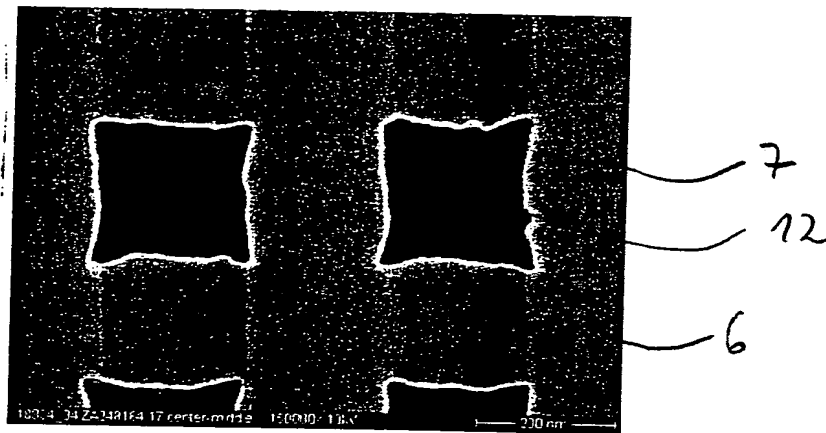


Fig. 6c

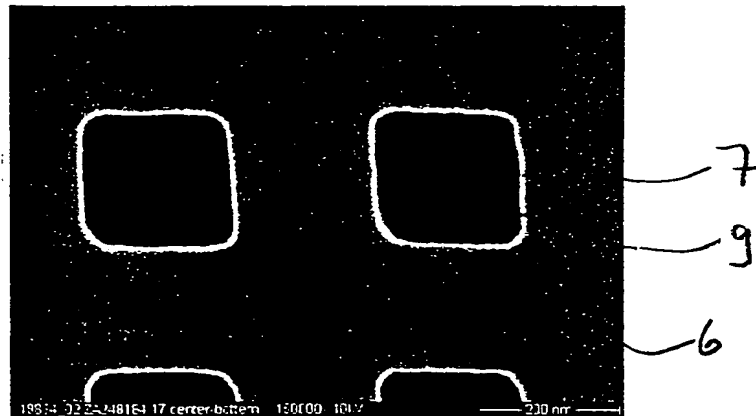




Fig. 6d

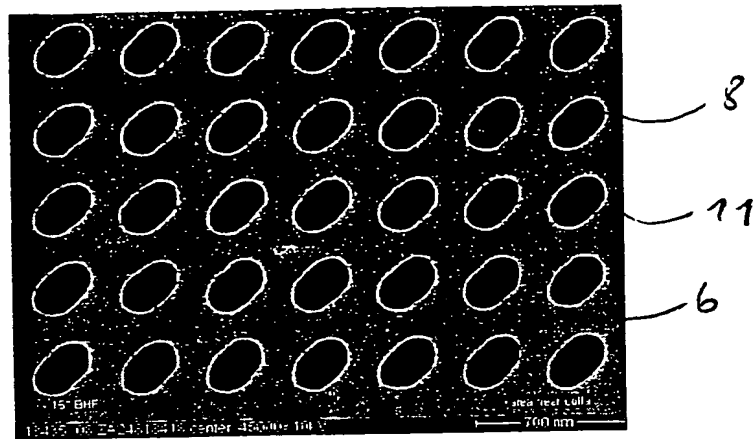


Fig. 6e

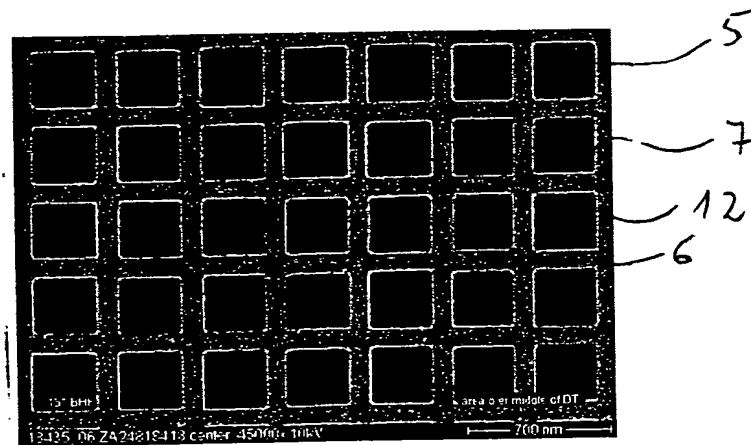


Fig. 6f

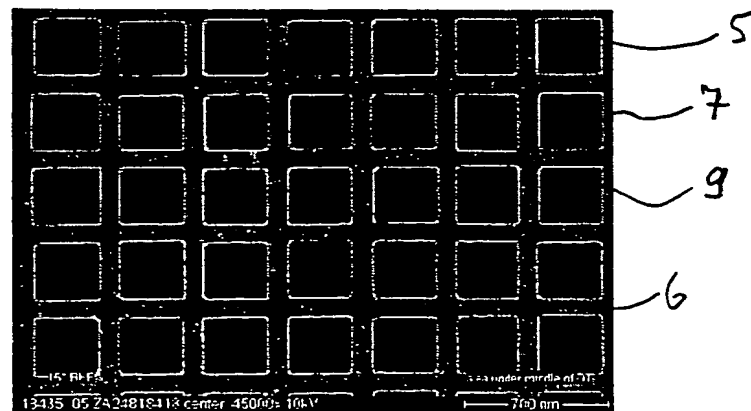




Fig 7a

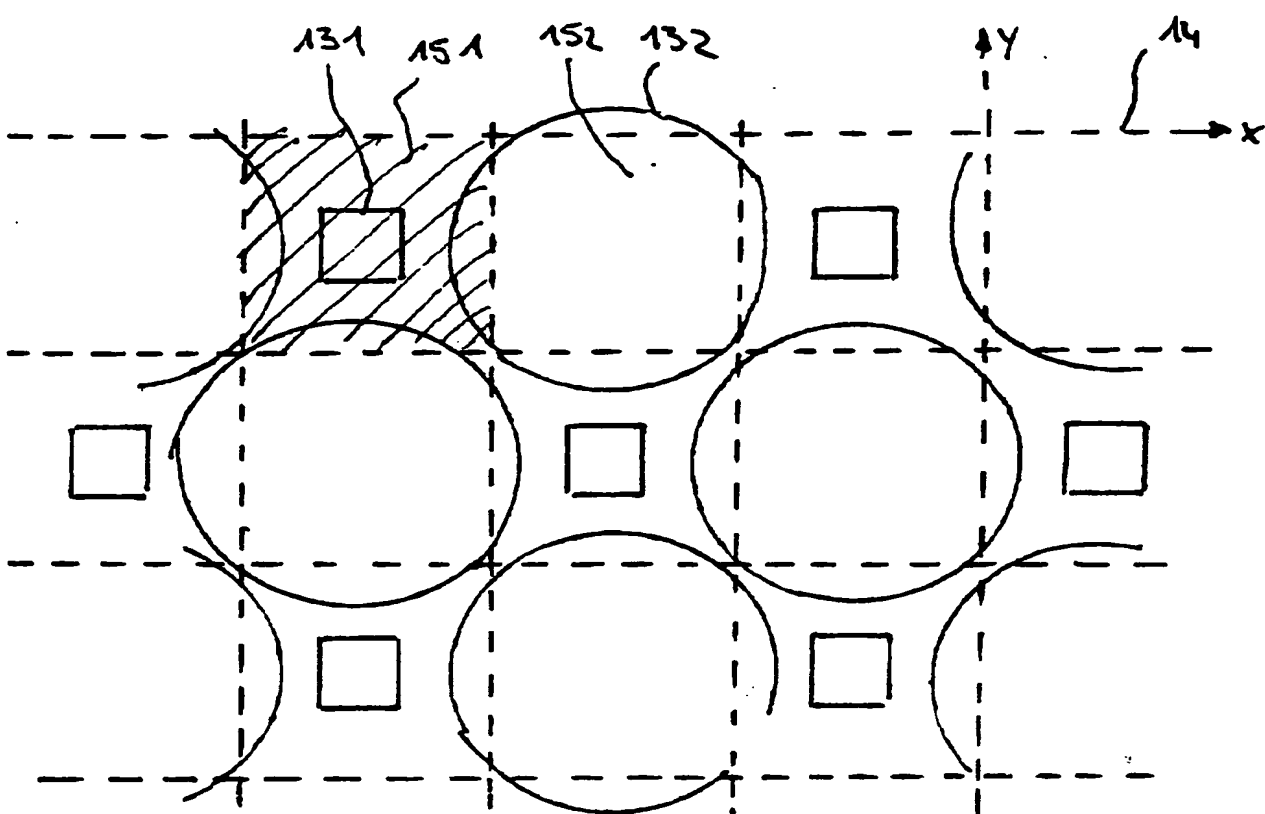


Fig 7b

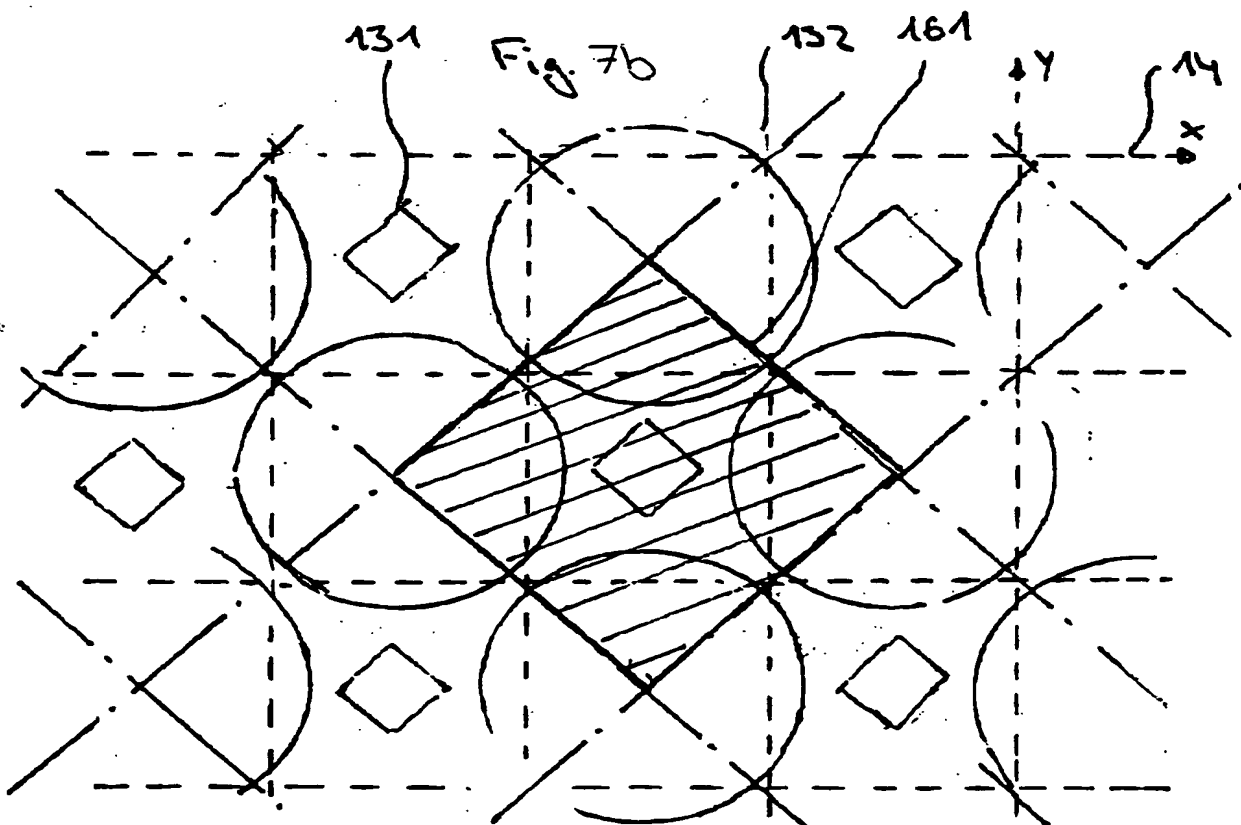




Fig. 8

